

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-057929

(43)Date of publication of application : 03.04.1985

(51)Int.Cl.

H01L 21/30
H01L 21/66

(21)Application number : 58-165075

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.09.1983

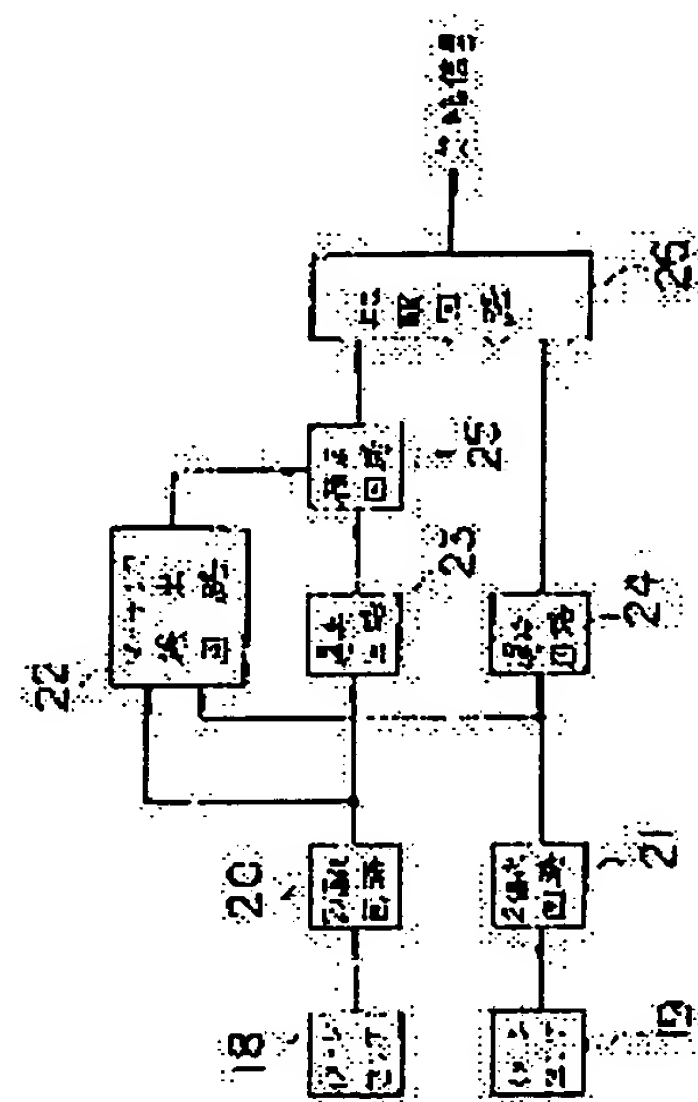
(72)Inventor : OSHIMA YOSHIMASA
HARA YASUHIKO
MAKIHARA HIROSHI
FUSHIMI SATOSHI

(54) METHOD AND APPARATUS FOR DETECTING DEFECT OF PATTERN

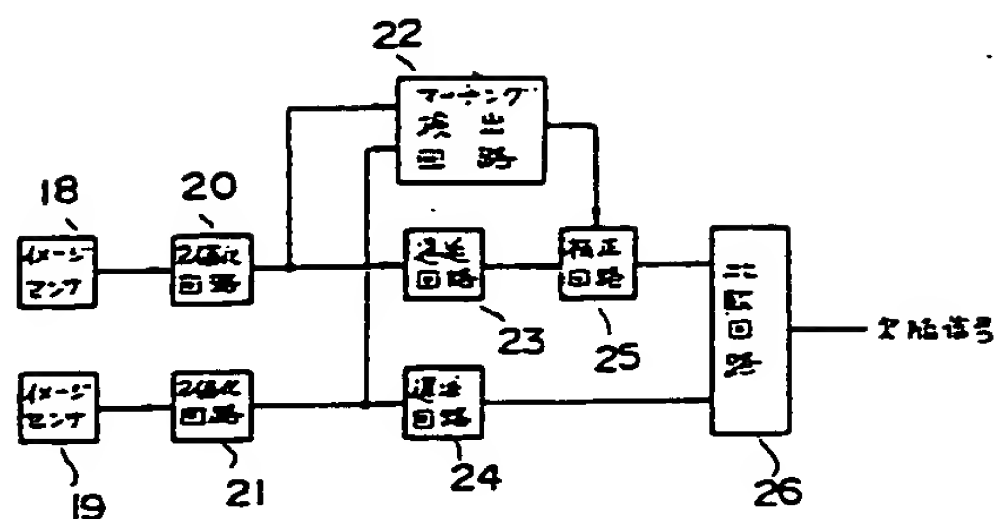
(57)Abstract:

PURPOSE: To detect defects in two patterns with high accuracy by detecting and correcting positional displacement between the patterns during the delay of binary-coded signals corresponding to the patterns and comparing the patterns every time the binary-coded signals are delayed.

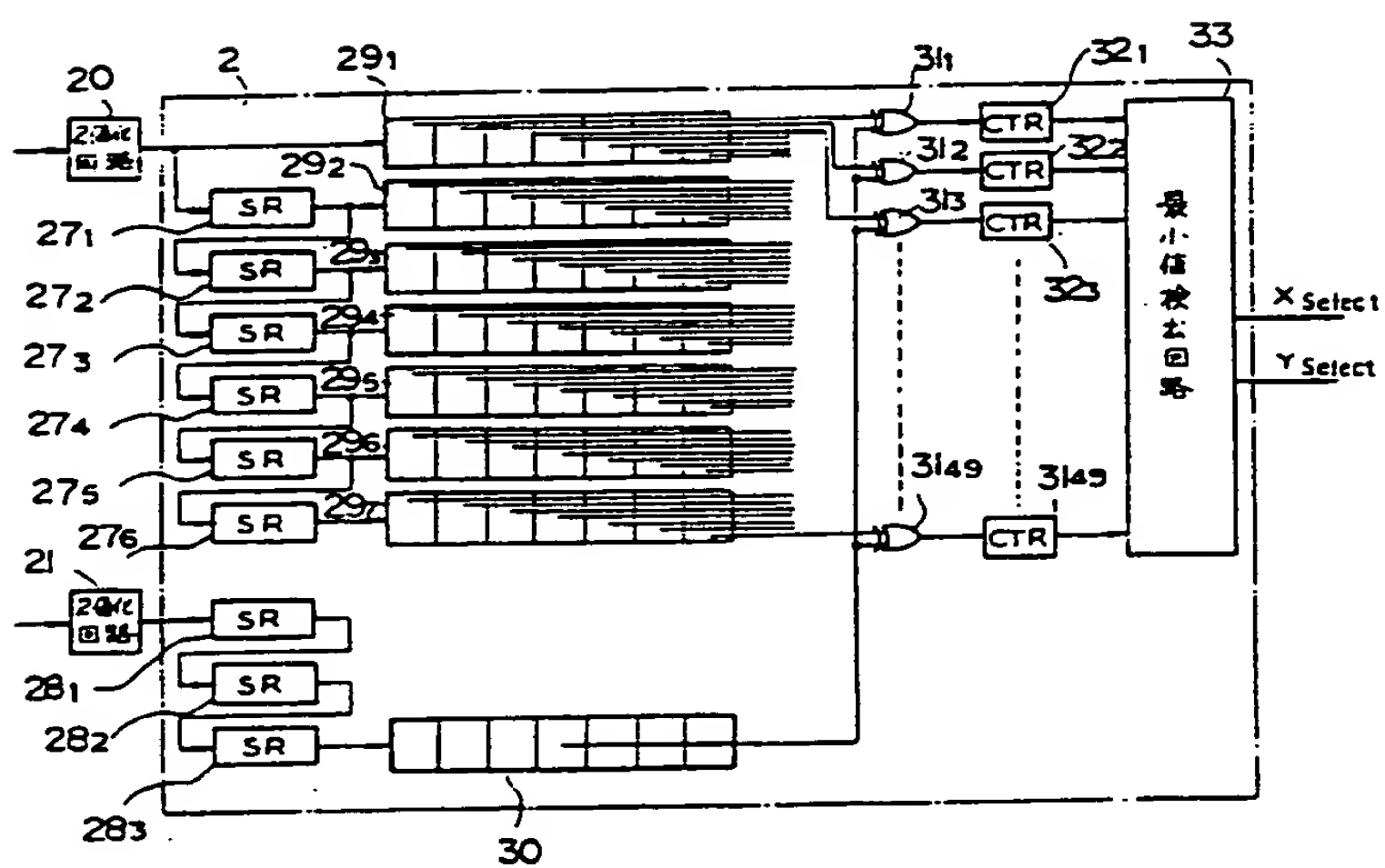
CONSTITUTION: Two same-shape patterns on a sample are detected by linear image sensors 18, 19 in a two-dimensional manner. A matching detecting circuit 22 detects the degree of positional displacement between the patterns during a time when binary-coded signals from binary-coding circuits 20, 21 are delayed by delay circuit 23, 24. The quantity of delay in the delay circuits 23, 24 is brought to $M \times N$ bits when the number of picture elements of the image sensors 18, 19 shall be M bits and the number of scanning N bits. Positional displacement is obtained at every X direction and Y direction from the matching detecting circuit 22 at every N -time scanning, and a defect can be detected with high accuracy by a comparison circuit 26 on the basis of a two-dimensional binary-coded signal resulting in no positional displacement when the binary-coded signal from the delay circuit 23 is shift-delay controlled by a correcting circuit 25.



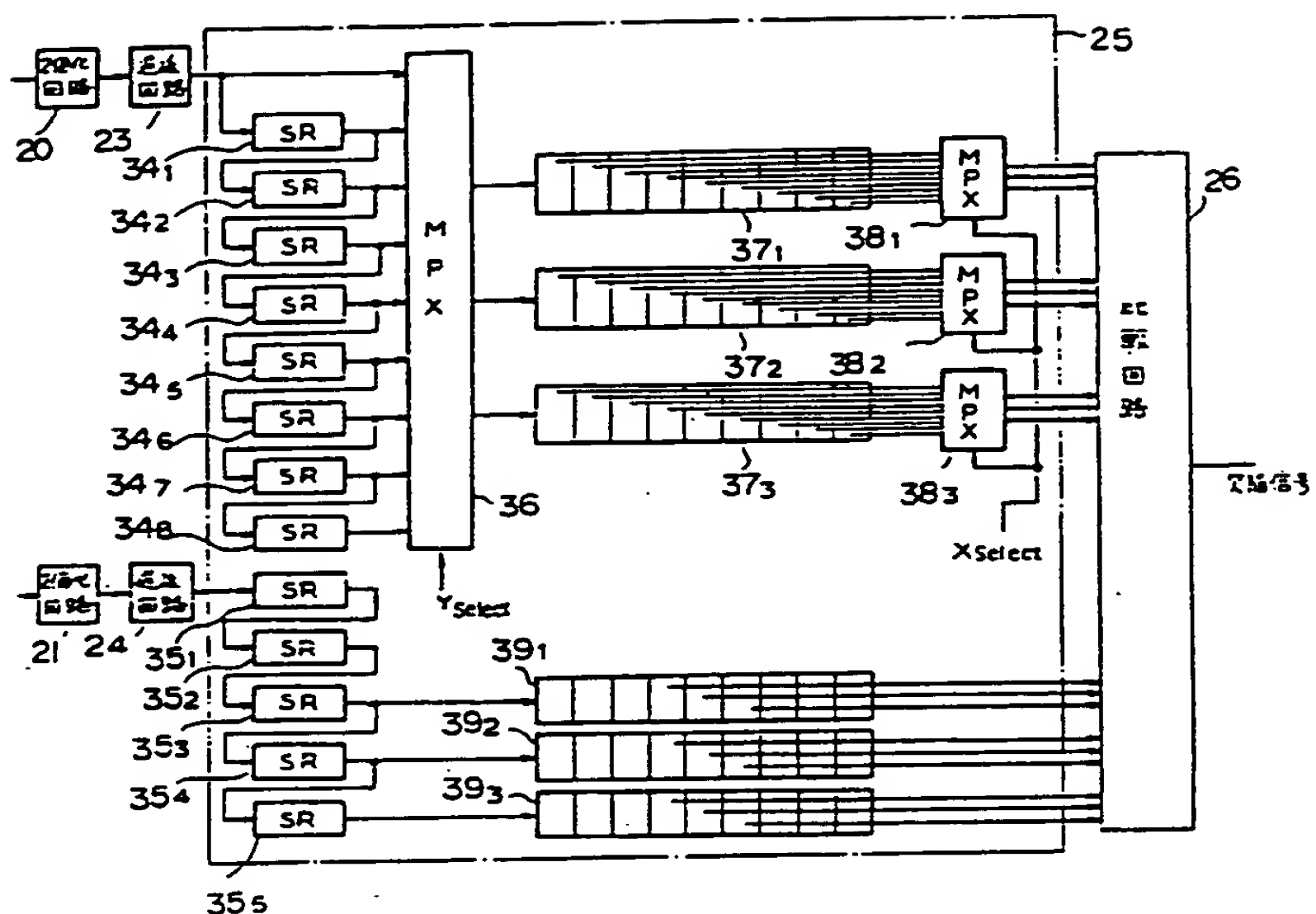
第5図



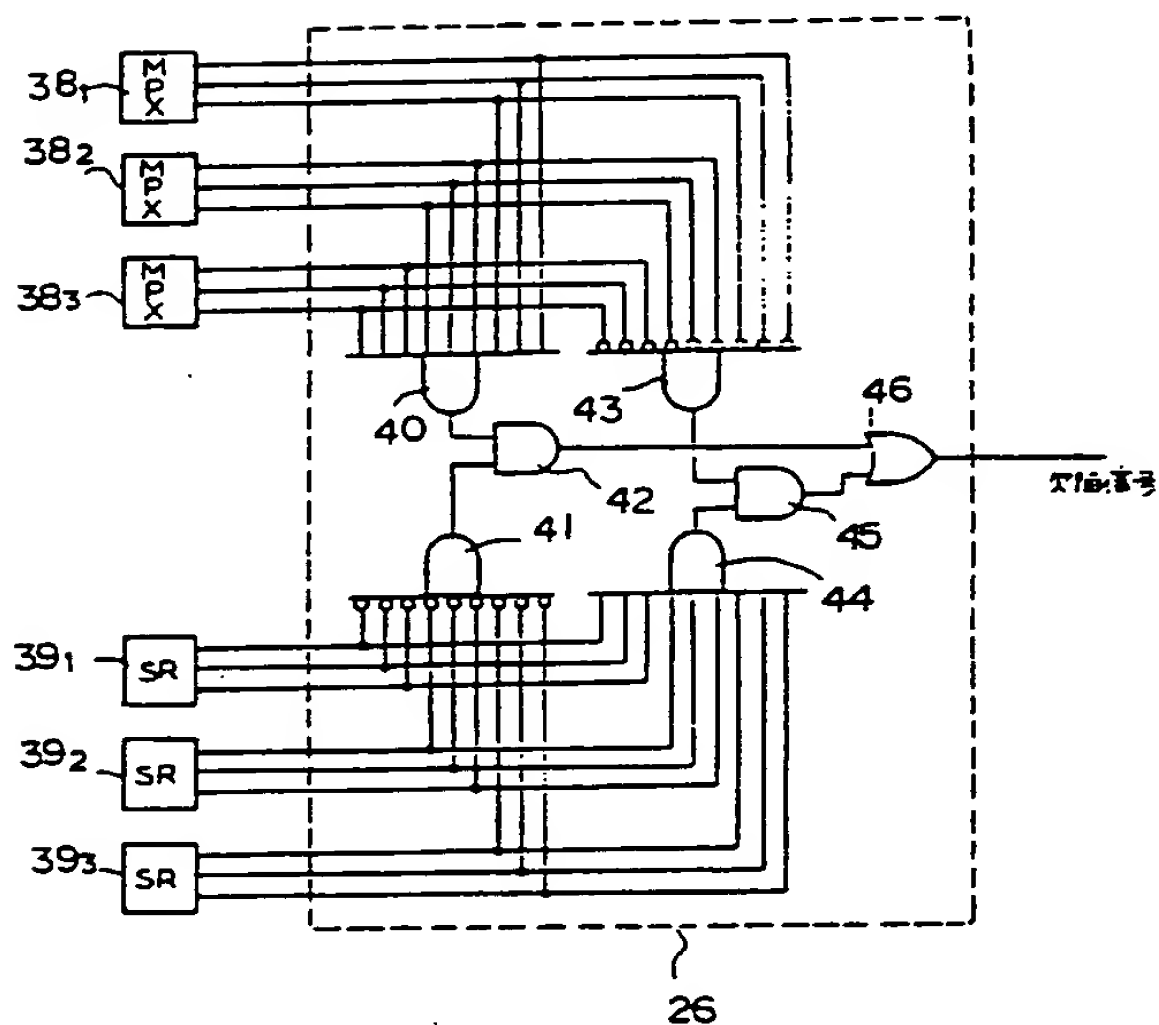
第6図



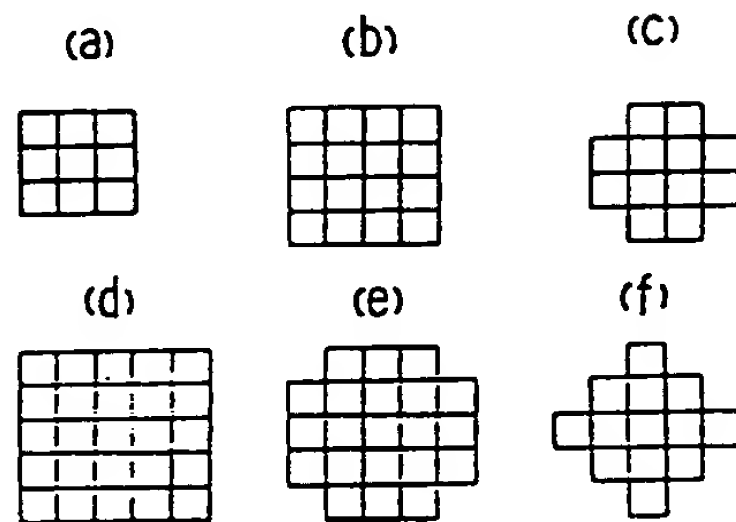
第 7 図



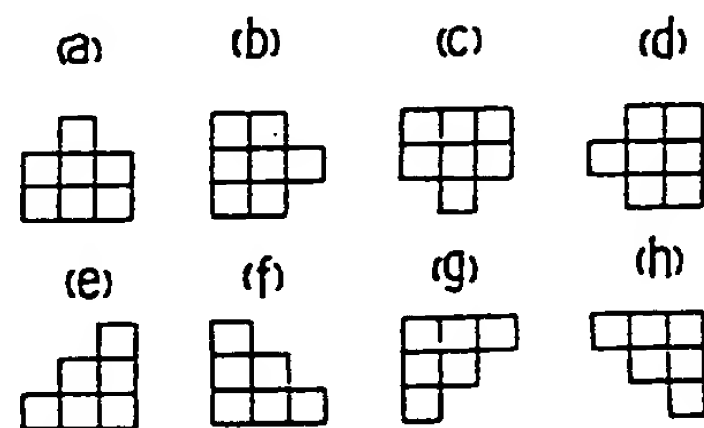
第 8 図



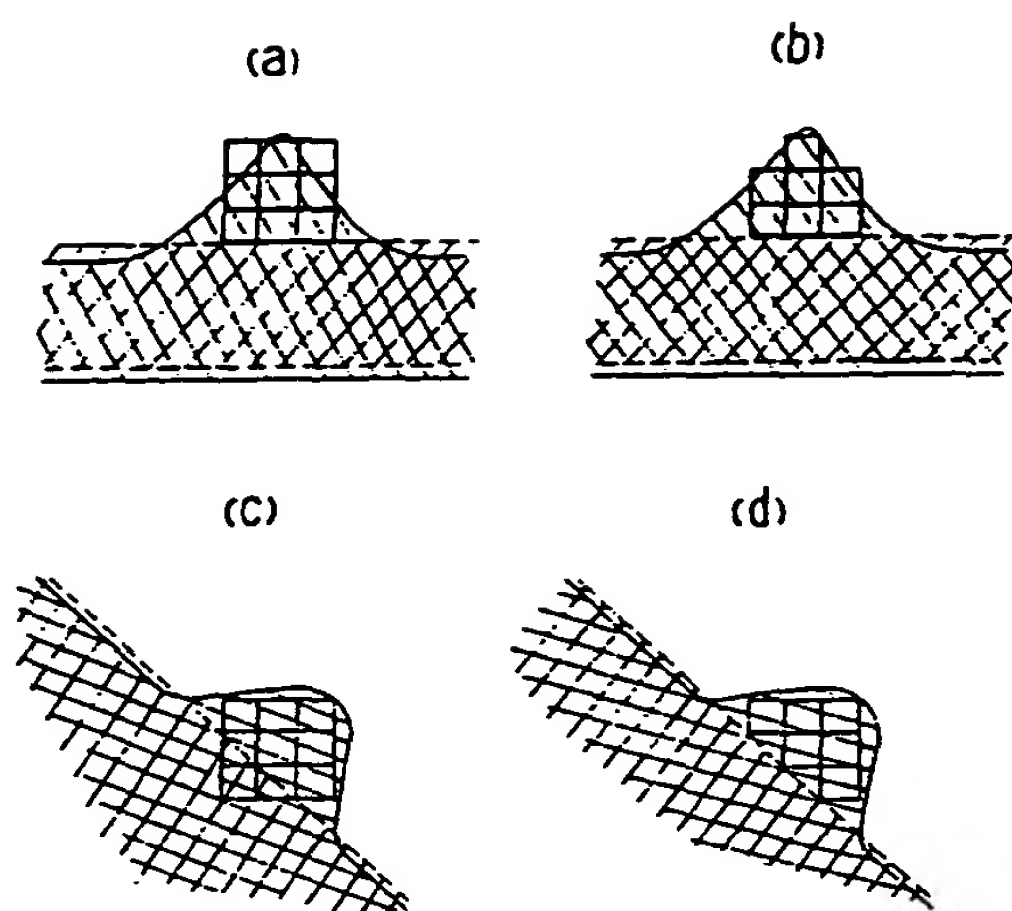
第 9 図



第 10 図



第 11 圖



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-57929

⑪ Int. Cl.⁴H 01 L 21/30
21/66

識別記号

庁内整理番号

Z-6603-5F
6603-5F

⑬ 公開 昭和60年(1985)4月3日

審査請求 未請求 発明の数 2 (全10頁)

⑭ 発明の名称 パターン欠陥検出方法とその装置

⑮ 特 願 昭58-165075

⑯ 出 願 昭58(1983)9月9日

⑰ 発 明 者 大 島 良 正 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑱ 発 明 者 原 靖 彦 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 牧 平 坦 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発 明 者 伏 見 智 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 秋本 正実

2

明 細 書

発明の名称 パターン欠陥検出方法とその装置
特許請求の範囲

1. 少なくとも何れか一方のパターンを走査することによつて得られる2値化信号を、上記パターンと同様してあるいは予め記憶されている2値化データを読み出すことによつて得られる他のパターン対応の2値化信号と二次元的に比較することによつて、パターン不一致部分を検出するパターン欠陥検出方法にして、2つのパターン対応の2値化信号を各々所定量遅延せしめる度に該遅延が行なわれている間に、二次元的に遅延せしめられた一方のパターンに係る二次元画像の一定エリア内における絵素の各々と、同様に遅延された他方のパターンに係る画像における特定絵素との比較結果を上記絵素の各々対応に計数することによつて統計的、且つ二次元的に2つのパターン間の位置ずれを検出し、該検出に係る位置ずれにもとづき上記2つのパターン対応の所定量遅延された2値化信号を二次元的に遅延することによつて位

置ずれ補正したりえ補正済の2値化信号各々より二次元的に抽出された比較用絵素パターン対応の2値化信号間でパターン比較を行なうことを特徴とするパターン欠陥検出方法。

2. 補正済の2値化信号からの絵素パターン対応の2値化信号の抽出は、軸非対称型の絵素パターンによつても同時に行なわれる特許請求の範囲第1項記載のパターン欠陥検出方法。

3. 少なくとも何れか一方のパターンを走査したりえ2値化する手段からの2値化信号を、該手段に同一な手段あるいは記憶手段からの他のパターン対応の2値化信号と二次元的に比較することによつてパターン不一致部分を検出するパターン欠陥検出装置にして、2つのパターン対応の2値化信号を各々所定量遅延せしめる遅延手段と、該手段によつて所定量の遅延が行なわれる度に該遅延が行なわれている間に、二次元的に遅延せしめられた一方のパターンに係る二次元画像の一定エリア内における絵素の各々と、同様に遅延された他方のパターンに係る画像における特定絵素との

比較結果を上記検査の各々対応に計数することによつて統計的、且つ二次元的に2つのパターン間の位置ずれを検出する手段と、該手段によつて検出された位置ずれにもとづき上記遅延手段からの2値化信号を二次元的に遅延することによつて位置ずれ補正し、補正済の2値化信号各々より比較用検査パターン対応の2値化信号を二次元的に抽出する補正手段と、該手段からの比較用検査パターン対応の2値化信号間でパターン比較を行なり比較手段とからなる構成を特徴とするパターン欠陥検出装置。

4. 補正手段においては、軸非対称型の比較用検査パターンによつても補正済の2値化信号からの該パターン対応の2値化信号の抽出が同時に行なわれる特許請求の範囲第3項記載のパターン欠陥検出装置。

発明の詳細な説明

(発明の利用分野)

本発明は、LSIウエハやホトマスク、プリント基板などに形成された回路パターンにおける欠陥

を自動的、且つ高精度に検出するための方法とその装置に関するものである。

(発明の背景)

LSIなどは高密度集積化によつて多機能化、小型化される傾向にあるが、製品としての信頼性を確保する観点よりして回路パターンにおける欠陥を可能な限り事前に、しかも速やかに検出、除去することが必要となつている。このためパターンの比較検査を行なりマスク検査装置などがそれまでに行なわれていた顕微鏡による目視検査に代つて出現、実用化されているのが実状である。一般にマスク検査装置などにおいては(被)検査側パターンが比較基準パターンとパターン比較されることによつて検査側パターンにパターン欠陥が存在するか否かが検出されるようになっていたが、パターン比較検査の際にはそれらパターン間での位置合せが重要となつている。これは、位置合せ誤差があればそれ以下の大きさの欠陥は検出され得ないからである。従来にあつてはパターン追査用のステージやパターン検出用の光学系などにおける

機械的精度を高めることで専ら所望の位置合せ精度を得ていたが、もはや限界に達しているのが現状である。というのは、パターンの微細化に伴い更に高精度な位置合せが必要となつている一方では、パターン自体がその形成時点で既にある大きさの位置合せ誤差を有しているからである。したがつて、機械的に位置合せ精度を高めるだけでは微細化パターンに対して対応不可能となつており、検出可能な欠陥寸法が制限されるものとなつている。

このように機械的な位置合せには限界があることから、これを解消すべく電氣的にパターン間の位置合せずれを測定したり位置合せずれを補正することも従来より考えられている。例えば特開昭57-196377号公報にはそのような方法が開示されているが、これによる場合は別に新たな問題を生じるものとなつている。因みにその方法を概略的に説明すれば以下のようである。

即ち、第1図に示す如くマスク等の試料1は駆動モータ3、4によつてX方向、Y方向に駆動可

とされたステージ2に載置され、試料1上における同一形状チップの対応パターン部分は対物レンズ5、6を介しパターン検出器(TVカメラ、固体撮像器など)7、8により電気信号として変換、検出されるようになっていた。パターン検出器7、8からはほぼ同一の2値化電気信号が得られるが、これら電気信号を比較判定器12において比較することによつてパターンの比較を行なりものである。もしもこの比較において違いがあれば比較判定器12は少なくとも何れか一方のパターンに欠陥が存在すると判定するようになっていたわけである。

このパターンの比較に際してはこれに先立つてパターンの位置ずれが位置ずれ判定器11で検出されるようになっていた。これは、正常なパターンであつてもパターン検出器7、8などに位置ずれが存在する場合には正常なパターンを欠陥として誤つて判定する虞れがあるからである。位置ずれ判定器11より得られる位置ずれ補正データによつて位置補償回路9、10にて電氣的に位置ずれを補正するものであり、比較判定器12は補正済の2値化

電気信号にもとづきパターンの比較を行なうようになつてゐるわけである。

位置ずれ判定器11での位置ずれの検出はX方向、Y方向について行なわれるが、第2図(a)、(b)はX方向についての検出原理を示したものである。これによると左右各々の2値パターンはシフトレジスタを用い局部的に切り出され、パターン検出器7、8による走査に同期して左から右の方向に、上から下の方向にICメモリ内を二次元的に移動するものとなつてゐる。第2図(a)、(b)における左側の図はICメモリ内における左右各々のパターンの例を示したものである。これらパターンを第2図(a)、(b)における右側の図として示す如く局部メモリ内でエッジパターン化することによつて位置ずれの程度が測定されるものである。即ち、X方向のずれを検出する場合に、エッジ化後のパターンをY軸方向に投影しコード化することによつて行なわれる。本例では左のパターンに係るコード化パターンは“000000110”として、また、右のパターンに係るそれは“011000000”となるが、

これより位置ずれは+5ビットとして検出されるものである。Y方向の位置ずれも同様にして検出されるが、このようにして検出される位置ずれデータを多数回に亘つて得たうえで統計的に処理するようにすれば、最も確からしい位置ずれ量が検出されるわけである。

さて、最も確からしい位置ずれ量にもとづき一方の2値化信号に対し位置ずれ補正が行なわれるが、第3図は位置ずれ補正原理を示したものである。図示の如くmビット容量のシフトレジスタ13によつて二次元局部画像メモリを構成し、検出された位置ずれ量X、Yに対応するビット位置より目的とする出力を得るものである。一方の遅れは他方にとつて相対的な進みとなることから、これにより左右各々のパターンの位置合せが電氣的に行ない得るわけである。第4図はその原理を具体的に回路構成化したものであり、2次元パターン切出回路14の出力よりマルチプレクサ15によつてY方向ビット位置出力を選択したうえ直並列変換用のシフトレジスタ16をシフトさせ、シフトレジ

スタ16の並列出力よりマルチプレクサ17によつてX方向ビット位置出力を選択するようにしたものである。

しかしながら、上記方法による場合はXY方向のパターンは問題ないとしても45°パターンのように、X、Y方向以外のパターンでは位置ずれ検出、位置補正が不可能となつてゐる。また、時系列で出力を切り換えるので位置合せの前後でパターンが消滅したり変形するなど、微小欠陥の情報が消失してしまうという不具合がある。これでは正確な検査を行ない得ないわけである。このため位置補正はパターンが存在しないところで行なう必要がある。更に上記方法による場合には位置ずれ測定と欠陥判定とに時間的なずれがあることから、パターンが連続している場合には位置ずれを測定したパターンと検査するパターンとが離れることになり正確な位置補正は不可能となる。ところで、パターンの高密度化によりチップ内ではパターンのないところが存在しない試料もあり、このためチップ境界のパターンのないダイシングラインを

通過中に位置補正を行なう方法が特開昭57-34402号公報において提案されている。しかしながら、この方法による場合は位置ずれを測定したチップと検査するチップが異なることになり、1チップ通過する間のテーブル精度やチップの配列精度をカバーし得なく、したがつて、精密な位置合せを行ない得ないが故に欠陥検出を高精度に行なうとは不可能である。

〔発明の目的〕

本発明の目的は、パターンがX、Y方向以外のパターンを含む場合であつても比較される2つのパターン間に存在する位置ずれを高精度に検出し、ひいては欠陥が高精度に検出され得るパターン欠陥検出方法とその装置を供するにある。

〔発明の概要〕

この目的のため本発明は、2つのパターン対応の2値化信号を所定量遅延せしめる際にその遅延が行なわれている間に、それらパターン間に存在する位置ずれを二次元的に遅延せしめられた一方のパターンに係る二次元画像の一定エリア内に

ける絵素の各々と、同様に遅延された他方のパターンに係る画像における特定絵素との比較結果を上記絵素の各々対応に計数することによつて検出し、この検出された位置ずれによつて2つのパターン対応の2値化信号を位置ずれ補正したうゑ所定にパターン比較するようにしたものである。また、本発明は、2つのパターン対応の2値化信号を各々所定に遅延せしめる手段と、所定量の遅延が行なわれている間に二次元的に遅延せしめられた一方のパターンに係る二次元画像の一定エリア内における絵素の各々と、同様に遅延された他方のパターンに係る画像における特定絵素との比較結果を上記絵素の各々対応に計数することによつて位置ずれを検出する手段とが少なくとも具備されるようにしたものである。

〔発明の実施例〕

以下、本発明を第5図から第11図により説明する。

先ず第5図により本発明による装置の構成とその動作の概要について説明する。これによるとバ

ターン検出器としてのリニアイメージセンサ18、19は自己走査によつて一次元的にパターンを検出するようになつてゐる。しかして、ステージ載置された試料をその走査方向とは直交する方向に駆走査すれば、試料上における2つの同一形状パターンはリニアイメージセンサ18、19によつて二次元的に検出され得るものである。なお、撮像装置としてはTVカメラなどを使用することも可能である。TVカメラを使用する場合には検出点を複数回撮像可能であれば、後述の遅延回路23、24を省略することも可能である。

さて、リニアイメージセンサ18、19の出力は2値化回路20、21にて2値化されたうゑマッチング検出回路22および遅延回路23、24に与えられるものとなつてゐる。マッチング検出回路22については詳細に後述するところであるが、2値化回路20、21からの2値化信号が遅延回路23、24にて遅延されている間に2つのパターン間の位置ずれの程度をそれら2値化信号にもとづいて検出するようになつてゐる。ところで、遅延回路23、24での遅延

量であるが、これはリニアイメージセンサ18、19の絵素数をMビットとして、最適な位置ずれ検出に要されるリニアイメージセンサ18、19走査回数Nによつて決定され $M \times N$ ビットとされる。遅延回路23、24各々は例えばMビット容量のシフトレジスタがN個カスケード接続されたものとなるわけである。このように2値化信号が $M \times N$ ビット遅延される度に、即ち、N回の走査が行なわれる度にマッチング検出回路22からは検出された位置ずれがX方向、Y方向毎に得られるが、これにもとづき補正回路25で遅延回路23からの遅延された2値化信号をシフト遅延制御すれば、遅延回路24からの2値化信号に対して位置ずれのない2値化信号が得られるものである。よつて、位置ずれのない二次元2値化信号にもとづき比較回路26で所定にパターンを比較すれば、欠陥が高精度に検出されるところとなるわけである。補正回路25でのシフト遅延はリニアイメージセンサ18、19のN走査毎に、しかもスタートパルスに同期して行なわれることから、二次元パターンにはずれは生

ぜず、また、欠陥検出と位置ずれ検出が同一パターンを用いて行なわれることから、高精度な欠陥検出が可能となるものである。

次に、上記構成におけるマッチング検出回路、補正回路および比較回路について詳細に説明すれば以下のようである。

即ち、第6図はマッチング検出回路の一例での構成を示したものである。これによると2値化回路20からの2値化信号はリニアイメージセンサ1走査分遅延させるシフトレジスタ27₁~27₈およびシリアルイン・パラレルアウトのシフトレジスタ29₁~29₈により7×7絵素の二次元局部メモリとして切出される。一方、2値化回路21からの2値化信号も同様にして1走査分遅延させるシフトレジスタ28₁~28₈およびシリアルイン・パラレルアウトのシフトレジスタ30により1×7絵素の局部メモリとして上記二次元局部メモリの中心に位置したシフトレジスタ29₄に同期して切出されるものとなつてゐる。ここで2値化信号が1ビット入力される度にシフトレジスタ30における第4番目ビット位

値の出力と二次元局部メモリにおける各ビット位置出力の各々との間で排他的論理和ゲート31₁~31₉で排他的論理和することによつて不一致の絵素が検出されることになるものである。カウンタ32₁~32₉は二次元局部メモリにおける各絵素に対応して設けられ、対応する絵素が第4番目ビット位置出力に不一致である場合をカウントするものとなっている。したがつて、リニアイメージセンサによつてN回走査が行なわれる度にカウンタ32₁~32₉をリセットするようにすれば、リセット直前における各カウンタ32₁~32₉のカウント値はM絵素×N走査のエリア内での絵素不一致回数を表わすことになるものである。ところで、二次元局部メモリにおける各ビット位置出力はシフトレジスタ30における第4番目ビット位置出力に対してX、Y方向±3絵素以内のものであるから、カウント値が最小であるカウンタ対応の絵素位置出力がシフトレジスタ30における第4番目ビット位置出力に一致するものであることが知れる。即ち、マッチング位置が知れものであり、このマッチング位置より

自動的に位置ずれが±3ビット以内でX、Y方向毎に求められるものである。最小値検出回路33はリセット直前におけるカウンタ32₁~32₉各々のカウント値を取り込み、カウント値が最小であるカウンタを検出したうえ位置ずれをX、Y方向毎に出力しているわけである。なお、本例でのものはX、Y方向±3ビット以内で位置ずれが検出されるものとなっているが、これに限定されるものではない。

次に補正回路を第7図により説明すれば、2値化回路20からの2値化信号は遅延回路23によつてN走査分遅延された状態で補正回路25に入力されることになるが、この補正回路25では最小値検出回路33からのX方向選択信号(X Select)、Y方向選択信号(Y Select)によつてシフトレジスタ30における第4番目ビット位置出力に相当する2値化信号とこれを中心としてX、Y方向±1ビット以内の2値化信号とが抽出されるものとなっている。

第7図に示す如くりニアイメージセンサ走査方

向をX方向として、マルチプレクサ36によつては遅延回路23および1走査分遅延のシフトレジスタ34₁~34₉各々の出力よりY方向最適シフト出力とこれを中心としてY方向に±1ビットずれたY方向シフト出力が同時に選択されたりえシフトレジスタ37₁~37₉をシフトされるようになつてゐる。また、マルチプレクサ38₁~38₉によつてはシフトレジスタ37₁~37₉におけるX方向最適ビット位置出力とこれを中心としてX方向に±1ビットずれたビット位置出力が同時に選択されるものとなつてゐる。したがつて、マルチプレクサ38₁~38₉の出力としては最適シフト位置を中心とした3×3絵素対応の2値化信号が得られるものである。

一方、遅延回路24からの2値化信号からも本例では補正回路25にて上記3×3絵素対応の2値化信号と比較される2値化信号が抽出されるものとなつてゐる。遅延回路24からの2値化信号は図示の如く1走査分遅延のシフトレジスタ35₁~35₉およびシフトレジスタ39₁~39₉によつてシフトされ、シフトレジスタ39₁~39₉における第4番目~第6番目

ビット位置出力が比較される2値化信号として抽出されるものである。このようにして抽出された2次元パターンとしての9ビット2値化信号は比較回路26で比較されるが、第8図は比較回路26の一例での構成を示したものである。

第8図によるとマルチプレクサ38₁~38₉からの9ビット2値化信号はそれら全てが“1”かまたは“0”かがそれぞれアンドゲート40、ノアゲート43によつて検出されるようになつてゐる。同様にシフトレジスタ39₁~39₉からの9ビット2値化信号もそれら全てが“1”かまたは“0”かがそれぞれアンドゲート44、ノアゲート41によつて検出されるようになつてゐる。しかして、マルチプレクサ38₁~38₉からの2値化信号が全て“1”である場合にシフトレジスタ39₁~39₉からの2値化信号が全て“0”である場合や、その逆である場合をそれぞれアンドゲート42、45によつて検出したうえ検出出力をオアゲート46を介し取り出すようにすれば、欠陥の有無が知れるわけである。

本例では第9図(例)に示す3×3絵素パターンに

もとづきパターン比較を行なうことによつて欠陥を検出しているが、この他第9図(b)、(c)に示す4×4検査パターンや第9図(d)、(e)、(f)に示す5×5検査パターンなどの軸対称型のものを使用することによつて欠陥検出感度を可変とすることも可能となつている。検査パターンにおける検査数が大きくなる程に検出感度は低下するが、第9図(b)~(f)に示す如く検査パターンを用いる場合には第7図においてシフトレジスタ34、35、37、39の数を増やし、また、シフトレジスタ37や場合によつてはシフトレジスタ39のビット数を増やすなどの構成変更を行なうことによつて容易に対処し得る。また、検査パターンとしては第10図(a)~(h)に示す如く軸非対称型のものも使用可能である。第11図(a)、(b)は比較される2つのパターン(斜線表示)の何れか一方に半円状突起が欠陥として存在する場合を示したものであるが、第9図(a)に示す検査パターンによる場合は欠陥は検出され得ないことが判る。しかしながら、第10図(a)に示す検査パターンによる場合は検出可能となるものであ

る。また、第11図(c)、(d)はパターンが45°方向のものであることを除けば第11図(a)、(b)に事情は同様となつている。この場合には第10図(h)に示す検査パターンによつて欠陥は検出可とされるが、第9図(a)に示すものによる場合は検出不可能であることが判る。このように軸非対称の検査パターンによる場合は微細な欠陥までも検出可能となるから、欠陥検出性能を向上せしめることが可能となる。したがつて、X・Y方向パターンに45°パターンが混在する場合には軸対称型の検査パターンの他に適當な軸非対称型の検査パターンを同時に併用すれば、欠陥は高精度に検出されることになる。更に以上の例では±3ビット(検査)までのパターンの位置ずれが許容されているが、位置ずれが更に大きい場合をも許容するためにはシフトレジスタ27、28、29、排他的論理和ゲート31およびカウンタ32の数を増やし、また、シフトレジスタ29、30のビット数を増やすことで対処し得る。更にまた以上の例では同一試料上における2つのパターンを検出したうえ比較するようにして欠陥検出が行

なわれているが、異なる試料上における対応するパターンを検出、比較するようにしても、また、記憶装置に予め記憶せしめられた設計データを一方のパターン対応の2値化信号として読み出して使用するようにしてもよいことは勿論である。

なお、光学系や機械系の熱ドリフトが大きい場合やステージ精度が良好でない場合であつても欠陥検出を可能ならしめるためには構成の大形化は避けられないところである。このため一方の撮像手段の位置をX、Y方向に微調整可とすることが考えられる。ある走査範囲内で位置ずれ量を測定したうえでその頻度を作成し、その走査終了時に最も頻度の高いものを真の位置ずれ量として判断したうえでこれにもとづき撮像装置が設置されたX・YテーブルをX・Y方向に移動させ、しかる後走査を再開させるといつたことを繰り返すものである。このようにする場合、構成を最小限に抑えた状態で欠陥検出を高精度に行ない得るものである。

(発明の効果)

以上説明したように本発明は、2つのパターン対応の2値化信号を所定に遅延せしめる度にその遅延が行なわれている間にそれらパターン間に存在する位置ずれを新規なる方法で検出し、この検出された位置ずれによつて所定に遅延せしめられた2値化信号を位置ずれ補正したうえで所定にパターン比較するように、また、そのように構成したものである。

したがつて、本発明による場合は、比較される2つのパターンに45°パターンが含まれる場合であつてもそれが高精度にして検出されるから、欠陥もまた高精度にして検出され得るという効果がある。

図面の簡単な説明

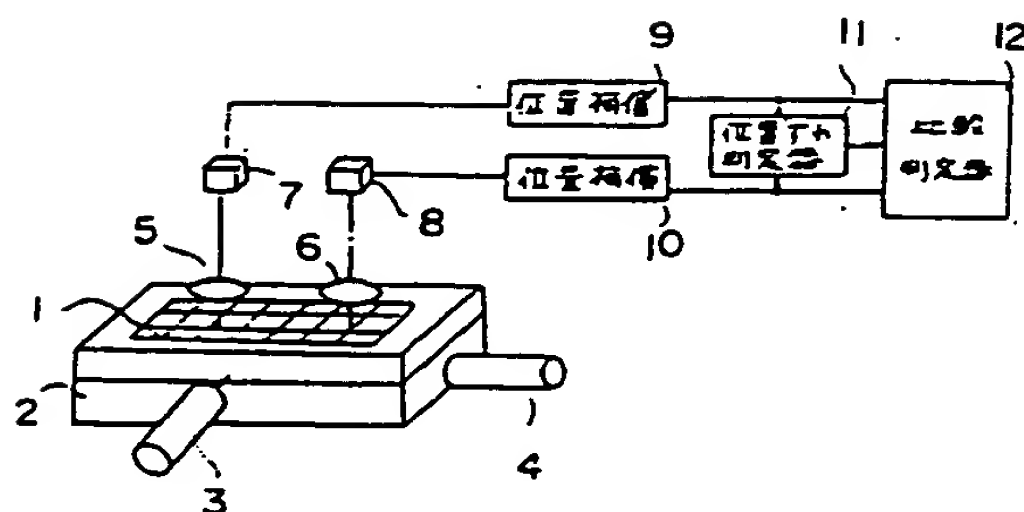
第1図は、従来技術に係るパターン欠陥検出装置の一例での概要構成を示す図、第2図(a)・(d)、第3図および第4図は、その構成におけるパターンの位置ずれ補正原理を説明するための図、第5図は、本発明によるパターン欠陥検出装置の一例で概要構成を示す図、第6図、第7図、第8図は、

それぞれその構成におけるマッチング検出回路、補正回路、比較回路の一例での詳細な構成を示す図、第9図(a)~(f)は、それぞれ軸対称型検索パターンの例を示す図、第10図(a)~(b)は、それぞれ軸非対称型検索パターンの例を示す図、第11図(a)~(d)は、軸非対称型検索パターンによる効果の程を説明するための図である。

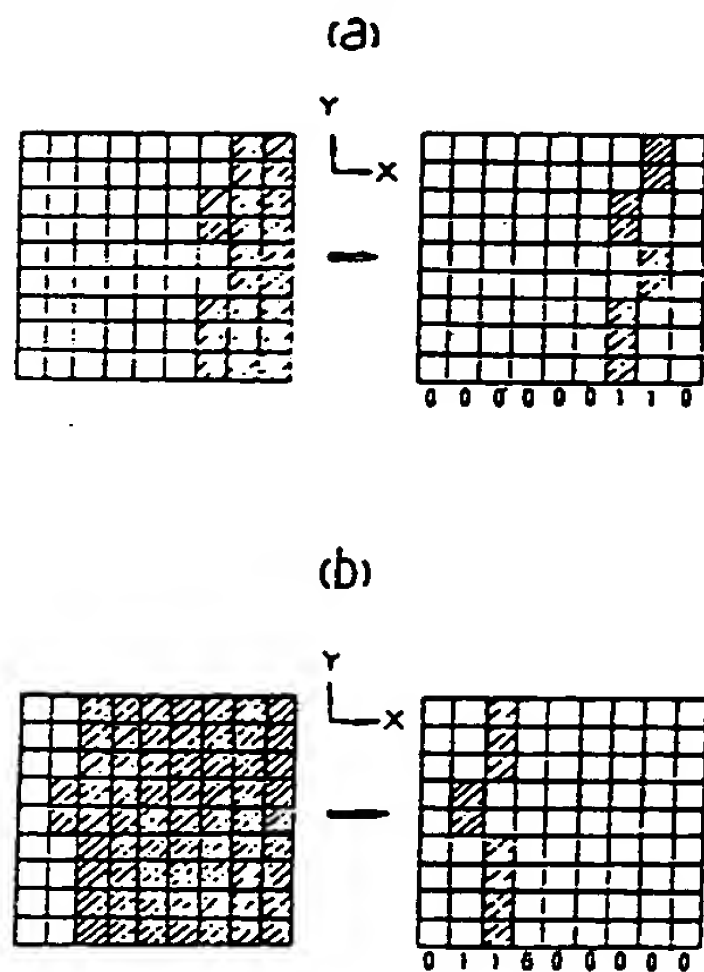
18、19…リニアイメージセンサ、20、21…2値化回路、22…マッチング検出回路、23、24…遅延回路、25…補正回路、26…比較回路。

代理人 弁護士 秋 本 正 実

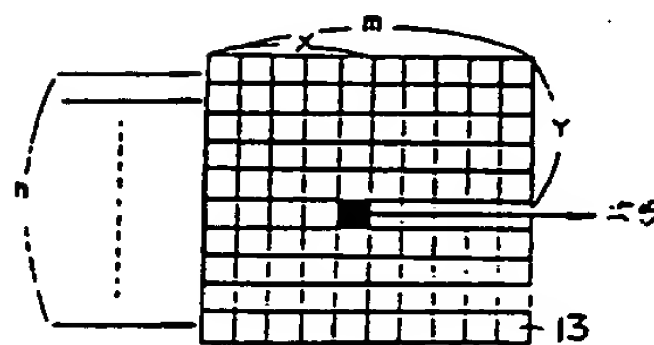
第1図



第2図



第3図



第4図

